

## ⑫ 公開特許公報 (A) 昭63-287897

⑬ Int.Cl.<sup>4</sup>G 09 G 3/36  
G 02 F 1/133

識別記号

332

序内整理番号

8621-5C  
8708-2H

⑭ 公開 昭和63年(1988)11月24日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 アクティブマトリクス方式表示装置用駆動回路

⑯ 特願 昭62-121204

⑰ 出願 昭62(1987)5月20日

⑱ 発明者 高清水 聰 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑲ 発明者 甲展明 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑳ 発明者 佐藤剛三 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉑ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代理人 弁理士 小川勝男 外1名

## 明細書

## 1 発明の名称

アクティブマトリクス方式表示装置用駆動回路

## 2 特許請求の範囲

1. アクティブマトリクス方式表示装置の外部から印加される映像信号をクロックに同期させて所定の時間遅延させる回路と、多段シフトレジスタ及び複数のスイッチング素子を有する点順次走査回路を複数個設け、非遅延映像信号と遅延映像信号を同時に動作する複数の点順次走査回路にそれぞれ入力し、1行の走査電極に接続された画素に対応した映像信号を水平走査周期の半分以下の時間で各列の信号電極に書き込む駆動回路の一部分である遅延回路において、遅延素子を通った遅延映像信号をローパスフィルタを通すと共に、非遅延映像信号として点順次走査回路に入力する映像信号も同一の仕様のローパスフィルタを通すことを特徴とするアクティブマトリクス方式表示装置用駆動回路。

## 3 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、マトリクス的に配置したスイッチング素子と、液晶等の表示要素から成る画素を有するアクティブマトリクス方式表示装置用の駆動回路に関する。

## 〔従来の技術〕

アクティブマトリクス方式表示装置において、各画素に配されるスイッチング素子の速度が遅い場合、いわゆる点順次駆動を行う必要があり外付駆動回路が複雑となっていた。この点を考慮した従来の表示装置は、特開昭60-12584号公報に記載の様に各画素のスイッチング素子を走査する各行走査電極を2つに分割し、その走査位相を水平走査周期のほぼ半分ずらして走査する事によりいわゆる点順次走査を行っても、各画素のスイッチング素子の動作速度が水平走査周期の半分に軽減される様になっていた。

## 〔発明が解決しようとする問題点〕

上記従来技術は駆動する行走査電極を左右で分割しているため、その数が2倍となり、従って行

走査電極走査回路を外付とする場合、その接続線数が2倍になるという問題があつた。また、比較的動作の遅い走査電極走査回路をアクティブラーマトリクス基板上に内蔵させる場合においても、その回路規模が2倍になるため、歩留まりが低下するという問題があつた。

本発明の目的は、動作速度の遅いスイッチング素子を用いたアクティブラーマトリクス方式表示装置の駆動回路を改良し、回路規模の小さい駆動回路を提供することにある。

〔問題点を解決するための手段〕

上記目的のため、画面を水平方向に  $P$  ( $P \geq 2$ ) 分割し、テレビ等の映像信号を各分割領域に相当する時間遅延させた信号で水平走査周期のほぼ  $1/P$  の期間で同時に各分割領域の列信号電極を点順次駆動し、各画素のスイッチング素子による表示要素への書き込み期間を長くする駆動回路の一部分である遅延回路において、遅延素子を通った映像信号をクロックの漏れ込み除去用のローパスフィルタに入力することにより、映像信号の遅延時間は、遅延素子による遅延時間にローパスフィルタの群遅延時間を加えたものとなる。一方、遅延回路を通さずに利用する非遅延映像信号も同一の仕様のローパスフィルタを通過することによって、非遅延映像信号と遅延映像信号の間の相対的時間差を一定にすることができる。非遅延映像信号と遅延映像信号の間の相対的時間差はローパスフィルタの群遅延時間の影響を受けることがなくなる。

タを通過することを特徴とする。

〔作用〕

画面を水平方向に  $P$  ( $P \geq 2$ ) 分割し、テレビ等の映像信号を各分割領域に相当する時間遅延させた信号で水平走査周期のほぼ  $1/P$  の期間で同時に各分割領域の列信号電極を点順次駆動し、各画素のスイッチング素子による表示要素への書き込み期間を長くする駆動回路の一部分である遅延回路において、遅延素子を通った映像信号をクロックの漏れ込み除去用のローパスフィルタに入力することにより、映像信号の遅延時間は、遅延素子による遅延時間にローパスフィルタの群遅延時間を加えたものとなる。一方、遅延回路を通過することによって、非遅延映像信号と遅延映像信号の間の相対的時間差を一定にすることができる。非遅延映像信号と遅延映像信号の間の相対的時間差はローパスフィルタの群遅延時間の影響を受けることがなくなる。

〔実施例〕

· 3 ·

以下、本発明の第1の実施例を第1図に示し、その動作波形例である第2図を用いて説明する。尚、以降の説明では、スイッチング素子にMOSトランジスタ、表示要素に液晶を使用した例を用いるが、他の組合せの場合も同様である。

シフトレジスタ1, 2には、テレビ映像信号  $V_I$  の水平走査周波数に同期し、表示パネル11の水平方向の画素数に相当するクロックバ尔斯由と、水平有効表示信号期間の丁度中央の時刻からパネル上への水平走査書き込みを開始させる信号  $S_R$  が加えられると共に、各段の出力が容量4と共にサンプルホールド回路を形成するスイッチング素子(MOSトランジスタ)3に供給される。一方、印加映像信号  $V_I$  を例えばCCD(電荷結合素子)等の遅延素子5により水平有効表示期間のほぼ半分の時間遅らせた後、クロック除去用ローパスフィルタ12-2を通して遅延映像信号  $V_{DL}$  を得ると共に、  $V_I$  を同一仕様のローパスフィルタ12-1を通して  $V_{IL}$  を得る。これらの  $V_{DL}$  と  $V_{IL}$  を前述のサンプルホールド回路は、水平有効表示期間の後半

· 4 ·

(第2図中の斜線部)の時間にサンプリングする。この時、クロック成分の漏れ込み除去用のローパスフィルタ12-2として群遅延時間が例えば約100nsのものを用い表示パネル11の水平方向の表示画素数を640画素とし、遅延素子5として例えばCCDを用いると、映像信号を水平有効表示期間の半分の時間だけ遅らせるためにはサンプリングクロックとCCDのシフトクロックの周期が等しい時320段のCCDが必要であり、CCDに必要なクロックの周期は825nsである。しかし、該映像信号を前述のクロック成分の漏れ込み除去用のローパスフィルタ12-2を通過するために、ほぼ1画素分余分に遅れることになる。また、適当な段数のCCDが得られず仮に340段のCCDを使用したとすると、映像信号を水平有効表示信号期間の半分だけ遅延させるのに必要なクロックの周期は78nsである。このCCDによって得られた遅延映像信号を前述の例と同様のローパスフィルタに通過することによりやはり、ほぼ1画素分余分に遅れることになる。従って、映像信号  $V_{DL}$  と  $V_{IL}$  の相

· 5 ·

対的な時間差を一定とするため、印加映像信号  $V_{IL}$  もローパスフィルタ 12-2 と同一の仕様のローパスフィルタ 12-1 を通す。さらに映像信号  $V_{IL}$  及び  $V_{DL}$  をサンプリングした信号を、水平帰線期間及び水平有効表示信号期間の前半ホールドし、列信号電極 7 に印加する。すなわち、各列信号電極 7 は、水平有効表示信号期間の後半の時間で点順次駆動により各々に対応した映像信号が書き込まれ、その他の期間（水平帰線期間及び水平有効表示信号期間の前半）では書き込まれた信号がホールドされる。

次にシフトレジスタ 6 には水平走査周期のクロックパルス  $s_V$ （水平走査開始信号とはほぼ同一、もしくは、やや位相の進んだパルス）と垂直同期信号を遅延させて得られる垂直走査開始信号  $s_V$  を加え、テレビの走査線に相当する行走査電極にゲートが接続されている MOS トランジスタ 9 をオンさせて、液晶セル 10 に列信号電極 7 にホールドされた信号電圧を加えてテレビ画像を表示するものである。尚、液晶自体や MOS トランジスタ 9 のオフ

・ 7 ・

がかなり遅くて良いことがわかる。具体的には、テレビの NTSC 信号の場合、水平走査周期  $63.5\mu s$  の内、水平有効表示信号期間  $52.7\mu s$  の半分の  $26.4\mu s$  の列信号電極書き込み期間を除いた  $37.2\mu s$  で各画素の書き込みが完了できれば良いことになる。従って、例えば移動度の小さい  $a-Si$  基板をアクティブラマトリクス基板として用いた場合でも、十分小さな面積で MOS トランジスタを形成できるため、歩留まりや開口率（1 画素の大きさに対する有効表示面積の比）の向上に大きな効果がある。

また、行走査電極をほぼ中央で分断し液晶パネル基板の両側から接続線を出す従来の方法では、行走査電極走査線数が行走査電極数の 2 倍必要であったが、第 1 図の実施例では行走査電極数と同じですむため、垂直走査回路を外付けする場合は接続線数を半減でき、垂直走査回路を内蔵する場合でもその占有面積を半減できるので、歩留まりの向上、価格低減等に効果がある。

尚、第 2 図の動作波形例では、映像信号を遅延させる時間を水平有効表示信号期の半分としたが

時のリークが無視できない場合、各画素の液晶駆動電極に信号保持容量を付加すると良い。また、全ての液晶セルの片方の電極は共通に接続され、液晶を交流駆動する場合は信号電極の中点電位、直流駆動する場合は接地又は電源電位へ接続される。

第 2 図において、上から i 番目の行走査電極  $s_i$  の波形を見ると、水平有効表示期間の真中で画素の MOS トランジスタをオンにする “H” レベルとなり、映像信号  $V_{IL}$  の水平有効表示信号期間の後半（ $s_i$  の波形中、ハッテンクされている期間）で列信号電極に各々に対応した映像信号が列信号電極 2 本（及び各列信号電極に接続された容量）同時に点順次で書き込まれる。列信号電極に書き込まれた映像信号は、行走査電極  $s_i$  が統いて “H” になっている間に各画素の MOS トランジスタを通して各液晶セルに書き込まれる。従って、各画素の MOS トランジスタは少なくとも水平有効表示信号期間の後半及び水平帰線期間の間に書き込み動作を完了すれば良いわけであるから、動作速度

・ 8 ・

正確に半分でなくても良い。例えば、テレビ（NTSC）信号の表示において、水平有効表示信号期間  $52.7\mu s$  を水平方向  $m$  画素で表示し、水平シフトレジスタ 1, 2 の段数をそれぞれ  $n$  段、 $(m-n)$  段とすると、遅延素子 5 の遅延時間は、

$$52.7\mu s \times \left( \frac{m-n}{m} \right)$$

で表され、各画素の MOS トランジスタに許容される書き込み時間は、

$$63.5\mu s - 52.7\mu s \times \left( \frac{n}{m} \right)$$

となる。従って、画素の MOS トランジスタの許容書き込み時間は  $n=m/2$  の時最大となり、前述の様に  $37.2\mu s$  となるが、例えば遅延回路の関係で遅延時間を最適の  $26.4\mu s$  に設定できなくても  $1 \leq n \leq m-1$  の範囲内であれば、遅延回路を用いない（ $n=m$ 、画面分割を行わない）場合より動作速度が緩和できる。

以上の説明において、シフトレジスタ 1, 2 は同じ動作を行うものであり、独立に設けないでどちらか段数の多い方のシフトレジスタを共用し段数の少ない方のシフトレジスタを省略することも

・ 9 ・

—937—

・ 10 ・

できる。これを第3図に示す。また、サンプルホールド回路を構成する容量4も、列信号電極の配線容量等で代用し、特に別個の部品として設けなくとも良い。

第4図は画面を水平方向に $k$ 分割した場合の実施例を示す構成図である。遅延素子5は、入力映像信号 $V_I$ を水平有効表示信号期間の $1/k$ ずつ遅らせた( $k-1$ )個の出力、 $V_{D1}, V_{D2}, \dots, V_{Dk-1}$ を得るものである。ローパスフィルタ12-2, 12-3, ..., 12- $k$ は遅延素子5によるクロック成分の漏れ込み除去用のものである。またローパスフィルタ12-1は映像信号 $V_{IL}$ と $V_{DL-1}, V_{DL-2}, \dots, V_{DL-k-1}$ の相互間の遅延時間差を一定にするためのものであり、画像を正常に再生させる効果を持つ。この時、第5図の動作波形例から明らかに、列信号電極書き込み期間は水平有効表示信号期間の $1/k$ となり、例えば前例のテレビ信号の場合、 $52.7\mu s/k$ であるから、各画素のMOSトランジスタに要求される動作速度は、

$$63.5 - \frac{52.7}{k} (\mu s)$$

. 11 .

12-2, 13の群遅延によって影響を受けることはない。

#### 〔発明の効果〕

以上で説明した様に、本発明によれば、遅延映像信号と非遅延映像信号との遅延時間差を一定とすることができるので、期待した正確な遅延時間差が得られ、従って遅延映像信号に漏れ込むクロック成分除去用のローパスフィルタの群遅延時間の影響を受けることなく、正常に画像を再生できる効果がある。

#### 4 図面の簡単な説明

第1図、第3図、第4図及び第6図は、それぞれ本発明の一実施例によるアクティブマトリクス方式表示装置の駆動回路の概略図、第2図及び第5図はそれぞれ第1図及び第4図の実施例の動作波形例を示す波形図である。

2 … 水平走査用シフトレジスタ、

4 … 容量、

5 … 遅延素子、

7 … 列信号電極、

8 … 行走査電極、

10 … 表示要素、

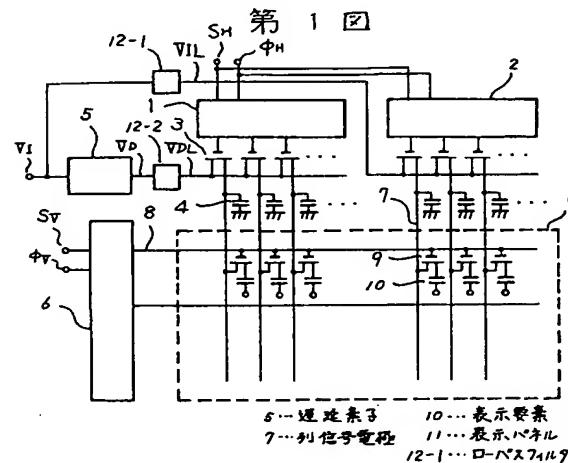
11 … 表示パネル。  
代理人弁理士 小川 勝男

. 13 .

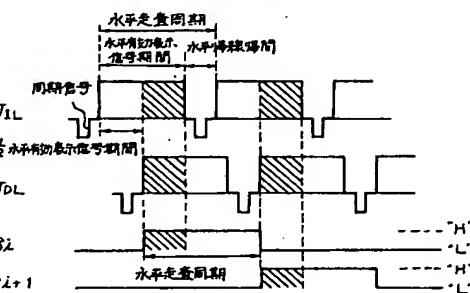
となるので、第1図の実施例よりさらに要求動作速度を下げる効果がある。

本発明の他の一実施例を第6図に示す。第1図の実施例では印加映像信号及び遅延素子5を通った遅延映像信号をそれぞれ同一の仕様のローパスフィルタを通したが、第6図の実施例では、入力映像信号を遅延素子5で用いるクロックの周波数の $1/2$ 程度以下に制限する(サンプリング定理よりクロック周波数の $1/2$ 以上の信号成分は再生できず、偽信号が発生してしまう。)ためのローパスフィルタ13を通した後で、遅延素子5及びローパスフィルタ12-2に印加する。この場合の遅延映像信号 $V_{DL}$ の $V_I$ からの遅延時間は、遅延素子5による遅延時間にローパスフィルタ12-2, 13による群遅延を加えたものである。一方、映像信号 $V_{IL}$ は $V_I$ よりもローパスフィルタ12-1, 13による群遅延の分だけ遅延している。従って映像信号 $V_{DL}$ と $V_{IL}$ の相互間の遅延時間の差は、ローパスフィルタ12-1と12-2が同一の仕様のため、遅延素子だけで決まり、ローパスフィルタ12-1,

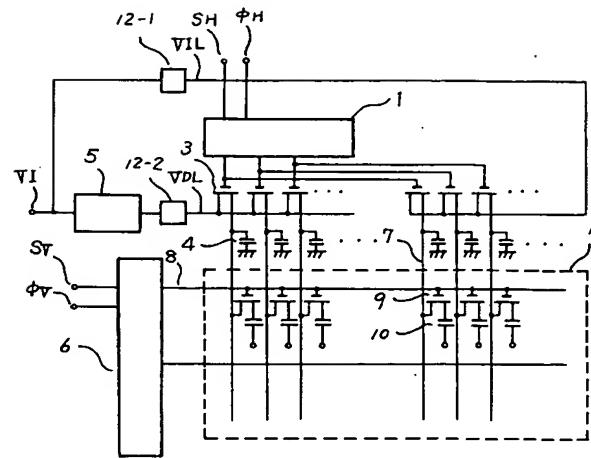
. 12 .



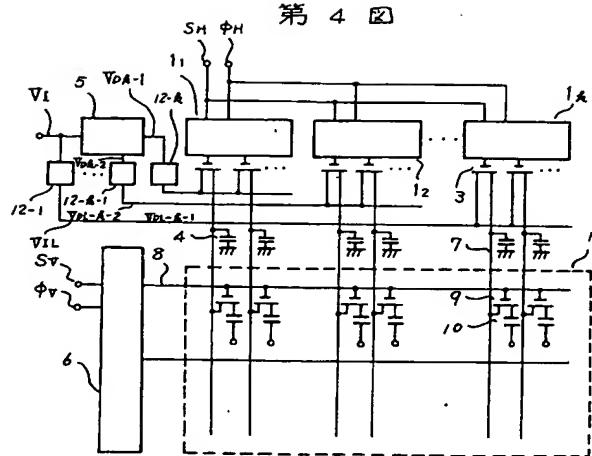
第2図



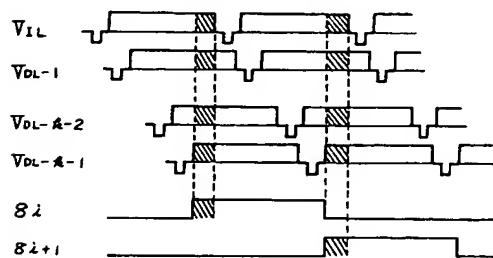
第3図



第4図



第5図



第6図

